

Synchronous CMOS SRAM Compiler 의 구현

강 세 현, 박 인 철
한국과학기술원

전화 : 042 - 869 - 4406, 042 - 869 - 3461

Implementation of Synchronous CMOS SRAM Compiler

Se-hyeon Kang, In-Cheol Park

E-mail : shkang@ics.kaist.ac.kr, icpark@ee.kaist.ac.kr

Abstract

This paper describes the features and development of a RAM compiler that can generate low power, high speed, synchronous CMOS SRAM. The compiled SRAM can be configurable from 64bytes to 16Kbytes in one bank and has 2ns access time typically. Basic cells are developed using 2-poly, 4-metal 0.35um CMOS technology. This SRAM compiler is developed using *SKILL*TM language and generates layout and schematic in Cadence environment.

I. 서론

지금까지 시스템 설계자들은 값싼 stand-alone memory 를 사용하여 시스템을 설계해 왔다. 하지만, stand-alone memory 는 제조업자가 높은 수율을 얻을 수 있도록 최적화한 것이기 때문에 설계자의 다양한 요구를 맞추기 어렵다.

또한 근래에는 멀티미디어 어플리케이션이나 통신용 칩의 설계 시 on-chip memory 의 사용이 증가하는 추세이다. 이는 on-chip memory 의 경우 off chip 커패시턴스를 구동할 필요가 없으므로 전력 소모도 적고, PCB 상에서 I/O 회로를 통해서 다른 component 들과 연결될 필요가 없으므로 수 nanosecond 에 해당하는 propagation delay 를 줄일 수 있을 뿐만 아니라 다양한 configuration 이 가능하므로 상당히 높은 수준의 집적화가 가능하게 된다[1].

따라서 메모리 합성기를 사용하게 되면 이러한 설계자의 다양한 요구에 맞는 high speed, low power on-chip memory 를 빠른 시간에 만들어 낼 수 있으므로 설계 시간을 절약할 수 있다.

개발된 메모리 합성기는 fully static CMOS type 의 SRAM 을 multi-bank 구조로, 하나의 bank 는 64byte 에서 16Kbyte 까지 크기의 변화가 가능하며, D flip/flop 을 사용해 입력을 동기화 시켜서 동작하는 synchronous type 의 SRAM 을 생성해 낼 수 있다.

II. RAM Compiler System

메모리 합성기는 *SKILL*TM language 를 사용해서 구현하였으므로 Cadence 환경에서 사용하는 것으로 가정한다. 메모리 합성기의 전체 블록 다이어그램은 다음과 같다.

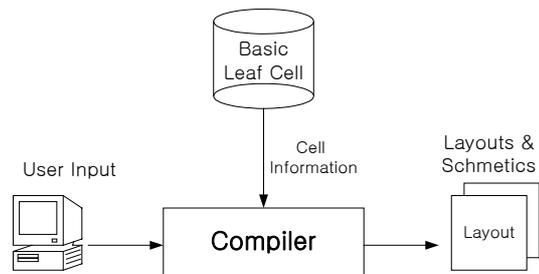


그림 1. RAM Compiler Block Diagram

2. 1 RAM Compiler 의 입력과 출력

메모리 합성기를 실행시키면, 사용자는 합성될 cellview 의 이름과 원하는 SRAM 의 크기에 맞게 address 와 data bit 수 그리고, bank 의 수를 입력하도록 되어 있다. 이 입력 data 로부터 합성될 SRAM 의 크기와 구조가 결정된다. Address 는 6 ~ 12bit, data 는 8 ~ 32bit, bank 의 개수는 4 개까지 입력으로 받아 들일 수 있도록 하였다. 메모리 합성에 사용될 basic cell 은 0.35um 공정에 맞게 full

custom 으로 설계되었다. 이 cell 들의 크기와 input, output 포트의 위치에 관한 data 는 합성기의 definition 부에 미리 선언해 두었다.

사용자의 입력을 받아 들어 합성된 결과로부터 schematic 과 layout cellview 를 모두 만들어냄으로써 생성된 SRAM 의 구조를 이해하고 simulation 하는 데 용이하도록 하였다.

2. 2 Memory 의 구조

Synchronous SRAM 은 SRAM cell 과 address 와 data 를 받아들이는 입력 D flip/flop, address decoder, write driver, read driver, sense amplifier, 그리고 control signal 을 만들어 내는 로직으로 구성되어 있다. 이러한 cell 들을 크기에 따라 배치할 수 있도록 SRAM 의 가로, 세로 길이에 맞추어 그려 user input 에 따른 SRAM 을 배치한 후 나머지 cell 을 SRAM 에 맞추어 배치하도록 하였다. 합성된 메모리의 구조는 다음과 같다.

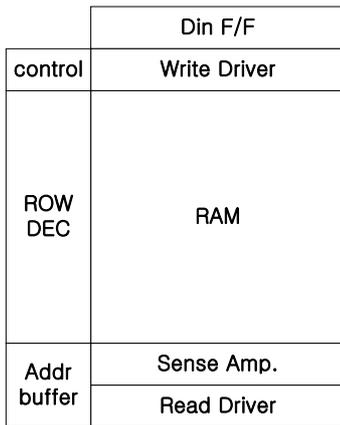


그림 2. SRAM 의 구조

Multi-bank 의 경우에는 2 개의 bank 가 row decoder 를 공유하는 구조를 사용하여 공간을 절약함과 동시에 전력 소모도 줄이도록 하였다.

III. Basic Cells

Basic cell 은 0.35um 2-poly 4-metal 공정에서 면적을 최소화 하도록 compact 하게 설계되었다.

3. 1 SRAM 과 Sense Amplifier

CMOS SRAM 은 가장 많이 쓰이는 형태인 6 transistor SRAM 을 사용하였다. Sense amplifier 역시 가장 많이 쓰이는 형태인 voltage sense current mirror 형태를 사용 하였다[2].

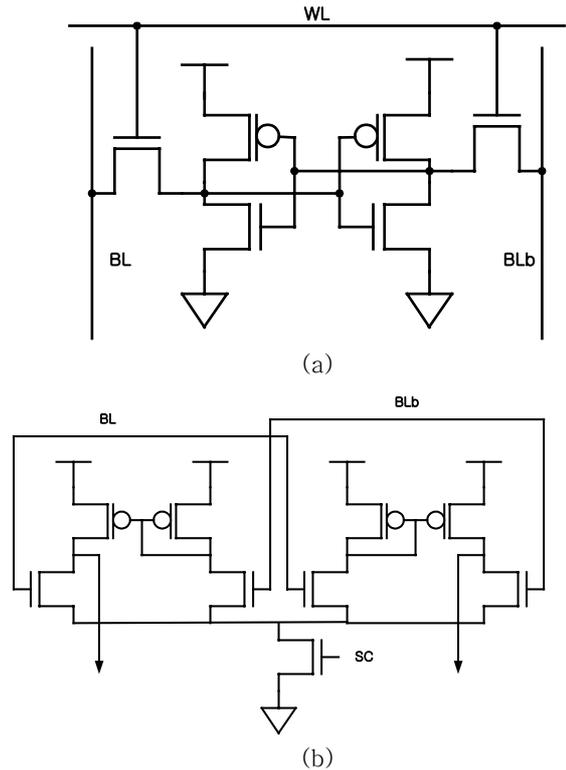


그림 3. (a) SRAM (b) Sense Amplifier

3. 2 Read, Write Driver

메모리의 입, 출력 구동회로는 다음과 같다[3].

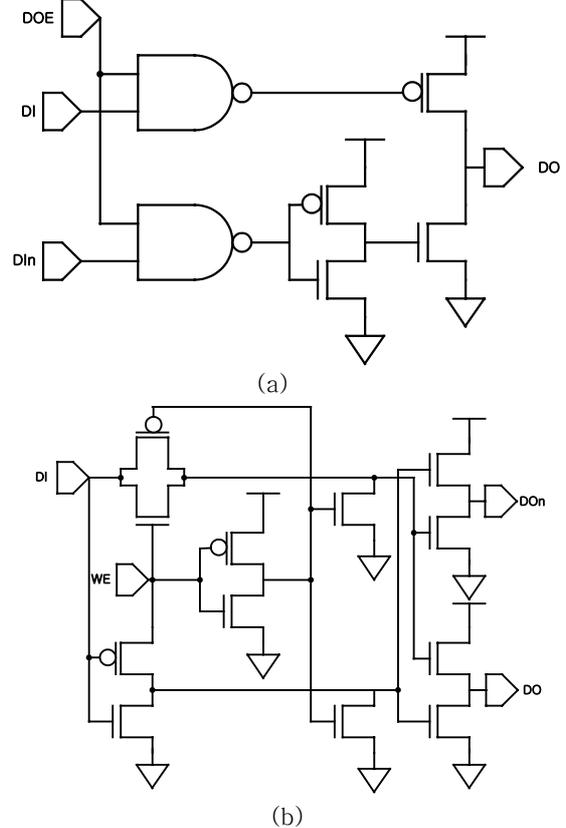


그림 4. (a) Read Driver (b) Write Driver

Read driver 는 메모리 read 시에 sense amplifier 의 출력을 output 포트 로 구동하고, write 시에는 high impedance 상태로 만들어 주며, write driver 는 메모리 write 시에 입력 data 를 bit line 에 실어 주고, read 시에는 bit line 과의 연결을 끊어 주는 역할을 한다.

3. 3 Row Decoder

Decoder 는 PMOS load 를 저항으로 단 nand 형태를 사용하였다[4]. Pull up strength 를 보완해 주기 위해서 inverter 를 달았다. Address 의 bit 수가 늘어나면 많은 수의 NMOS 가 직렬로 연결되어서 Elmore delay 가 커지고, 트랜지스터의 크기도 커져야 하므로 트랜지스터를 4 개 이상은 직렬로 연결하지 않고, 3bit, 4bit decoder 를 조합하여 사용하였다. 하지만 이 경우에도 word line 이 high 일 경우 DC current 가 흐르게 되어서 전력 소모가 커지는 단점이 있으므로 address transition detect logic 을 사용하여 일정 시간 동안만 on 을 시켜 주는 방법을 사용하는 것도 전력 소모를 줄이는 한 방법이 될 것이다.

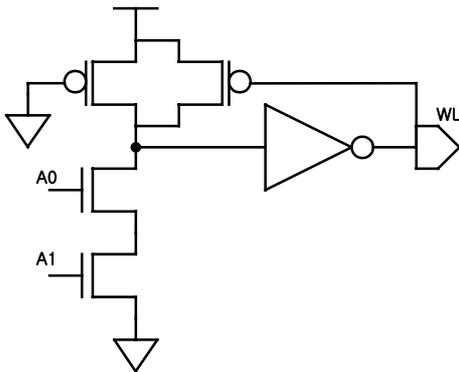


그림 5. Row Decoder

3. 4 D flip/flop 과 Buffer

입력 D flip/flop 은 트랜지스터의 개수가 적은 true single phase clock D flip/flop 을 사용하였다[5].

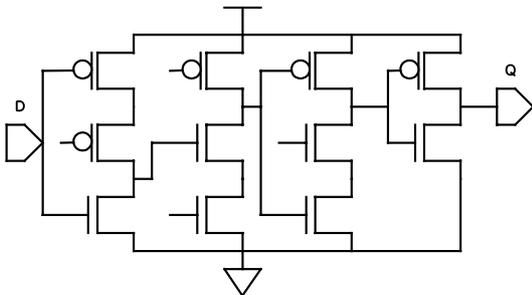


그림 6. TSPC D Flip/Flop

RAM 의 size 가 커지면 word line 과 bit line 에 물려 있는 RAM 의 수가 늘어나고, address input 이 구동해야 할 row decoder 의 개수도 늘어나게 되므로 각각에 적당한 크기의 buffer 를 삽입해야 한다. Spice simulation 결과 SRAM 의 word line 과 bit line 의 입력 커패시턴스는 각각 1.854f, 9.018f 로 나왔으며, 이를 바탕으로 SRAM 크기에 맞추어 버퍼를 크기를 결정하였다.

IV. Compilation Results

4. 1 Compiler 의 실행

다음은 RAM Compiler 를 실행했을 때의 user interface 와 실행 결과로 생성되는 layout 과 schematic 을 나타낸 그림이다.

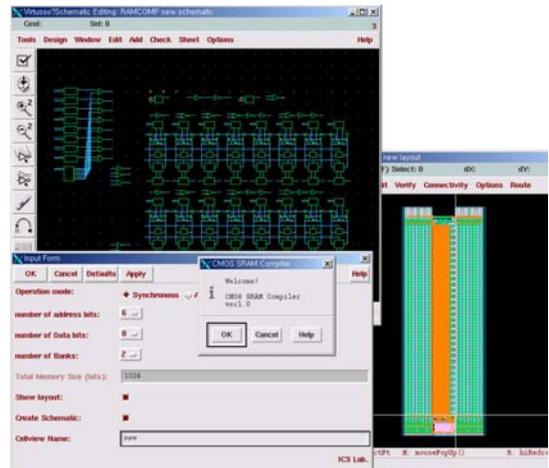


그림 7. RAM Compiler 실행 결과

4. 2 Compiled SRAM 의 Size

Address 가 6bit 이고, data 는 8bit 이며 bank 의 개수가 2 개일 경우에 대해서 합성한 결과는 다음과 같다. SRAM 의 왼쪽에 붙어 있는 WRITE 는 입력 D flip/flop 과 write driver 를, 오른쪽의 READ 는 pre charge logic, sense amplifier, read driver 와 output mux 를 포함한다.

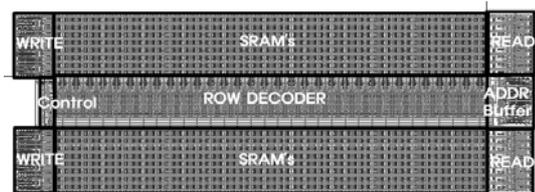


그림 8. Compiled Synchronous CMOS SRAM

몇 개의 size 별 메모리의 크기를 표 2 에 나타내었다. 앞에서도 이야기 했듯이 row decoder 를 공유할 수 있는 2 bank 의 경우가 size 가 조금 작음을 알 수 있다.

표 1. Compiled Memory Size

	1K byte	4K byte	16K byte
1 bank	0.536mm ²	2.172mm ²	8.608mm ²
2 bank	0.523mm ²	1.949mm ²	7.652mm ²

V. Simulation Results

Compile 된 SRAM 의 input, output 의 동작은 다음과 같이 정의된다.

표 2. Input, Output Specification

CLK	CS	WE	OE	A	Di	Do
X	X	X	H	X	X	Z
X	L	X	L	X	X	Hold
↑	L	L	H	valid	valid	Z
↑	L	H	L	valid	X	Mem

Clock 의 positive edge 에서 address 와 data 입력을 받아 들이고, read operation 이 경우 clock 이 high 인 구간 동안 bit line 을 pre charge 한 다음 clock 이 low 인 구간에서 decoding 한 row 의 word line 을 선택하고 sense amplifier 역시 enable 시켜서 메모리 값을 읽어 가도록 하였다. Write operation 의 경우 pre charge 가 필요 없으므로 바로 write 하도록 하였다. 다음은 simulation 파형이다.

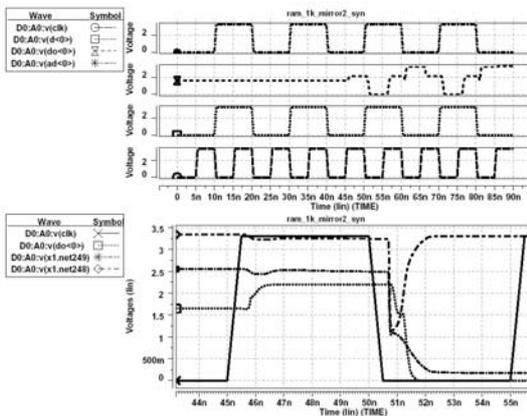


그림 9. Simulation Waveform

그림 9 에서 위의 부분은 4 개의 address 에 data 를 순차적으로 쓴 다음에 그 data 를 다시 순차적으로 읽어 내는 파형이다. 아래 부분은 특정 시간 부분을 확대한 것으로 sense amplifier 가 enable 되기 시작하는

negative clock edge 에서부터 output 이 나오기까지는 2ns 가 채 걸리지 않음을 알 수 있다.

VI. 결론

고밀도, 고성능, 저전력 synchronous CMOS SRAM Compiler 를 개발하였다. 본 메모리 합성기는 하나의 bank 에 64byte 에서 16Kbyte 까지의 SRAM 을 넣을 수 있으며, typical delay 는 0.35um 공정 cell 로 구현하였을 때 2ns 정도이다. On-chip memory 로서의 기능을 하기 위해서 basic cell 을 compact 하게 설계하였으며, 전력 소모를 최소화 하도록 설계하였다.

향후 과제로는 memory test scheme 의 개발과 전력 소모를 줄일 수 있는 decoder 의 설계가 있다.

본 RAM Compiler 는 최근에 증가하는 on-chip memory 의 수요에 잘 부응하여 다양한 configuration 의 메모리를 생성하며, 설계 시간을 줄이는 데 기여할 수 있을 것으로 기대된다.

참고 문헌

- [1] Alex Shubat, "Perspectives: Moving the Market to Embedded Memory," IEEE Design & Test of Computers. pp. 5-6 May-Jun 2001
- [2] Jarvis C. Tou, Perry Gee, John Duh, and Richard Eesley, "A Submicrometer CMOS Embedded SRAM Compiler," IEEE J. Solid-States Circuits vol. 27, no. 3, pp. 417-424 March 1992
- [3] K.J. Schultz et al. "Low-supply-noise Low-power Embedded Modular SRAM," IEE Proc. Circuits Devices Syst. vol. 143, no. 2 pp. 73-82 April 1996
- [4] 유희준, "DRAM 의 설계," 홍릉과학출판사, 1996
- [5] Jinn-Shyan Wang, Po-Hui Yang and Duo Sheng, "Design of a 3V 300MHz Low-Power 8b X 8b Pipelined Multiplier Using Pulse-Triggered TSPC Flip-Flops," IEEE J. Solid-State Circuits, vol. 35, no. 4, pp. 583-592, April 2000